



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10339765 A**(43) Date of publication of application: **22.12.98**

(51) Int. Cl.

**G01R 31/28**  
**G06F 11/22**  
**G11C 11/413**  
**H01L 21/66**

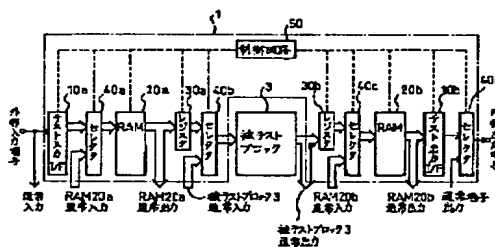
(21) Application number: **09152618**(71) Applicant: **SHARP CORP**(22) Date of filing: **10.06.97**(72) Inventor: **KAWA NORIAKI**(54) **SEMICONDUCTOR INTEGRATED CIRCUIT**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a constitution of an IC suppressing the increase of external terminal of the IC in testing a block to be tested and enabling testing at frequency in normal operation and analyzing failure locations.

**SOLUTION:** Test input signals are inputted in a test circuit 1 in time division from an external input terminal and is extended in parallel using a test input interface circuit 10a and stored in RAM 20a. The stored test input signal is read out in normal frequency of the IC, supplied to a testing block 3 and executes tests. Then, the test output signal as the test results is stored in RAM 20b in normal operation frequency of the IC. This test output signal is outputted to an external output terminal in time division using a test output interface circuit 10b and compared with an expected value with an external tester, and the IC is judged good or bad.

COPYRIGHT: (C)1998,JPO





**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-339765

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 0 1 R 31/28		G 0 1 R 31/28 V
G 0 6 F 11/22	3 3 0	G 0 6 F 11/22 3 3 0 B
G 1 1 C 11/413		H 0 1 L 21/66 W
H 0 1 L 21/66		G 1 1 C 11/34 3 4 1 D

審査請求 未請求 請求項の数2 O L (全 10 頁)

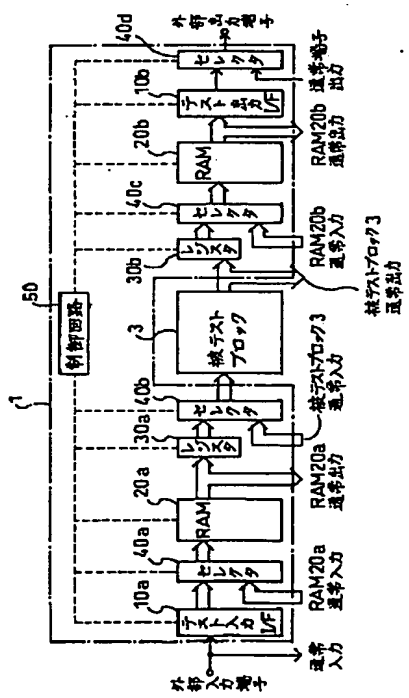
(21) 出願番号	特願平9-152618	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成9年(1997)6月10日	(72) 発明者	河 範昭 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74) 代理人	弁理士 原 謙三

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 被テストブロックのテスト時に I C の外部端子数の増大を抑えつつ通常動作時の周波数でのテストと不良箇所の解析を可能にする I C の構成を提供する。

【解決手段】 テスト回路 1 に外部入力端子からテスト入力信号を時分割で入力し、テスト入力インターフェイス回路 1 0 a を用いてパラレルに展開し、RAM 2 0 a に格納する。格納されたテスト入力信号を I C の通常動作周波数で読み出し、被テストブロック 3 に供給してテスト実行を行う。次に、テスト結果としてのテスト出力信号を I C の通常動作周波数で RAM 2 0 b に格納する。このテスト出力信号をテスト出力インターフェイス回路 1 0 b を用い時分割して外部出力端子へ出力し、外部のテストにより期待値と比較して I C の良否を判定する。



**【特許請求の範囲】**

【請求項1】 予め定められた演算処理を行う演算処理回路を被試験回路として上記演算処理回路をテストする内部回路試験手段が上記演算処理回路と一体形成して構成され、上記内部回路試験手段は、外部から時分割されたテスト入力信号を入力し、上記テスト入力信号をパラレルに展開した後、これらを上記被試験回路に入力し、上記被試験回路から出力されるテスト出力信号を時分割して外部端子へ出力するようにした半導体集積回路において、

上記内部回路試験手段が、パラレルに展開された上記テスト入力信号を格納しこれらを上記被試験回路の通常動作時に使用するシステムクロック周波数で上記被試験回路に出力する第1のRAMと、

上記被試験回路から出力される上記テスト出力信号が上記システムクロック周波数で入力される上記第1のRAMと独立してアクセス可能な第2のRAMとを備えることを特徴とする半導体集積回路。

【請求項2】 予め定められた演算処理を行う演算処理回路を被試験回路として上記演算処理回路をテストする内部回路試験手段が上記演算処理回路と一体形成して構成され、上記内部回路試験手段は、外部から時分割されたテスト入力信号を入力し、上記テスト入力信号をパラレルに展開した後、これらを上記被試験回路に入力し、上記被試験回路から出力されるテスト出力信号を時分割して外部端子へ出力するようにした半導体集積回路において、

上記内部回路試験手段が、パラレルに展開された上記テスト入力信号を格納しこれらを上記被試験回路の通常動作時に使用するシステムクロック周波数で上記被試験回路に出力する第1のポートと、上記被試験回路から出力される上記テスト出力信号が上記システムクロック周波数で入力される第2のポートとを有する一つ以上のマルチポートRAMを備えることを特徴とする半導体集積回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路（以下ICと称する）に関し、特に論理回路と複数の独立にアクセス可能なRAMもしくは一つ以上のマルチポートRAMを備え、内部ブロックの機能テストが可能なICに関するものである。

**【0002】**

【従来の技術】 RAMを含むランダムロジックICにはゲートアレイ、セルベースIC、DSPなどのASIC（特定用途向けIC）などがあり、これらICチップの規模が急激に大きくなり、構造が複雑になってきている現在、IC外部からみたIC内部ブロックの可制御性や可観測性は悪く、不良解析テストが困難である。従って、IC内部ブロックの可制御性や可観測性を向上させ

てテストが容易にできるように回路を設計しておく必要がある。このため、一般に、ICにはテスト容易化のための回路設計がなされ、テスト時にはそのテスト用機能を利用してテストが行われる。

【0003】 上記不良解析テストの目的として、設計段階においては、必要な動作速度に対するマージンが少ない回路部分の検証、ICの設計上不良を発生しやすくなっている部分の発見、シミュレーションと実回路とのタイミングのずれによる誤動作箇所の発見などがあり、量産・選別時にはICを製造する工程で発生した不良の発見が挙げられる。

【0004】 従来、ICの内部ブロックのテストとしては図12に示すような方法がある。

【0005】 これは、予めIC内部の機能ブロック毎にセクタ等のテストモード用のテスト回路を挿入しておき、テスト時には外部端子から入力されるテスト入力信号を制御回路124からの指令に基づきセクタ121を介して被テストブロック123に与え、その被テストブロック123からの出力を制御回路124からの指令に基づきセクタ122を介して外部端子へ出力し、外部のテストでテストするものである。テストのメモリには予めシミュレーションなどで作成しておいたICの入力パターンとそれに対応した出力期待値とが入力されており、テストへの入力に対してICが期待値通りの出力をするかどうかをテスト内部の比較器を用いて判断する。ICの出力が全期待値と一致すればテストをパスしたことになる。

【0006】 ところが、この方法では被テストブロック123に対し、テスト入力信号を外部端子から入力し、テスト出力信号を外部端子へ出力するには、被テストブロック123が有する入出力端子の数だけ外部端子が必要になり、コストが増大する。

【0007】 例えば、20ビットの入力端子を2系統、20ビットの出力端子を1系統持つ被テストブロック123をテストするためにはデータ線に接続される端子だけでも計60端子が必要になる。テストのために60本以上の外部端子を確保することはICパッケージのコストを大幅に増加させることになる。

【0008】 これを解決するために、少ない外部端子を用いて時分割でテスト信号を入出力する方法が考えられている。例えば、図13に示すように、少ない入力端子からテスト入力信号を時分割して入力する方法がある。これは、外部入力端子から時分割入力されるテスト入力信号を制御回路135からの指令でセクタ131を介して順にレジスタ134に分配し、セクタ132を介して被テストブロック133にこのテスト入力信号を与えるものである。

【0009】 また、図14に示すように、少ない出力端子からテスト出力信号を時分割して出力する方法がある。これは、被テストブロック142から出力されたテ

スト出力パターンを制御回路143からの指令でセレクト141にて時分割し、外部端子へ出力するものである。

【0010】上記入出力端子数を削減するテスト方法を応用したものとして、特開昭61-11677号公報（公知文献1）、特開平2-57989号公報（公知文献2）及び特開平6-66892号公報（公知文献3）に開示されているように、チップに内蔵されたRAMを利用したテスト方法がある。公知文献1は、本来の機能回路用として用いられずに残ったRAMを利用して被テストブロックからのテスト出力信号を格納し時分割出力することにより、外部出力端子数を削減するものである。公知文献2及び3は、テスト入力信号の入力を時分割で行って第1のRAMに格納し、これを被テストブロックに与えて出力されたテスト出力信号と第2のRAMに予め入力された期待値とを素子内部で比較判定することにより外部入力端子数、外部出力端子数ともに削減するものである。

【0011】

【発明が解決しようとする課題】しかしながら、上記従来のテスト信号を時分割で入出力する方法では、時分割の程度によってIC自身のトランジスタの能力やテストの能力によって制約を受け、ICの通常動作周波数でのテストはできないことが多い。

【0012】例えば、10MHzのシステムクロックで動作する被テストブロックに対し、テスト入力信号を4分割し、テスト出力信号を2分割して行うとする。合計6分割して被テストブロックのテストを通常動作周波数で行うためにテストの動作周波数を60MHzにする必要があるとすると、60MHz以上のテスト速度に対応したテストを必要とするとともに、IC自身のテストインターフェイス回路部などにも60MHzのテスト速度に対応したトランジスタの能力が必要となる。

【0013】テストのためだけにセルの能力を上げたり高性能なテストを使用することは無駄が多く、現実的な方法ではない。

【0014】また、上記公知文献2及び3に開示されているように、期待値比較を素子内部で行う方法は、テストにおいて不良が発生したときに不良箇所の特定が困難になる。

【0015】本発明は、上記従来の問題点を鑑みなされたものであって、その目的は、被テストブロックのテスト時にICの外部端子数の増大を抑えつつ通常動作時のシステムクロック周波数でのテストと不良箇所の解析を可能にするICの構成を提供することにある。

【0016】

【課題を解決するための手段】請求項1に係る発明の半導体集積回路は、上記課題を解決するために、予め定められた演算処理を行う演算処理回路を被試験回路として上記演算処理回路をテストする内部回路試験手段が上記

演算処理回路と一体形成して構成され、上記内部回路試験手段は、外部から時分割されたテスト入力信号を入力し、上記テスト入力信号をパラレルに展開した後、これらを上記被試験回路に入力し、上記被試験回路から出力されるテスト出力信号を時分割して外部端子へ出力するようにした半導体集積回路において、上記内部回路試験手段が、パラレルに展開された上記テスト入力信号を格納しこれらを上記被試験回路の通常動作時に使用するシステムクロック周波数で上記被試験回路に出力する第1のRAMと、上記被試験回路から出力される上記テスト出力信号が上記システムクロック周波数で入力される上記第1のRAMと独立してアクセス可能な第2のRAMとを備えることを特徴としている。

【0017】上記の発明によれば、ICのテスト用外部端子からテスト入力信号を時分割入力し、テスト入力インターフェイス回路等を用いてパラレルのテスト入力信号に展開し、これらを第1のRAMに格納する。一連のテスト入力信号の格納を終えるとテスト入力信号を第1のRAMから順にICの通常動作周波数で被テストブロックに出力し、同時に、通常動作周波数で出力されてくる被テストブロックからのテスト出力信号を第2のRAMに順に書き込む。一連のテスト出力信号の格納を終えると、第2のRAMからテスト出力インターフェイス回路等を用いてテスト出力信号を時分割してテスト用外部端子へ出力する。

【0018】請求項2に係る発明の半導体集積回路は、上記課題を解決するために、予め定められた演算処理を行う演算処理回路を被試験回路として上記演算処理回路をテストする内部回路試験手段が上記演算処理回路と一体形成して構成され、上記内部回路試験手段は、外部から時分割されたテスト入力信号を入力し、上記テスト入力信号をパラレルに展開した後、これらを上記被試験回路に入力し、上記被試験回路から出力されるテスト出力信号を時分割して外部端子へ出力するようにした半導体集積回路において、上記内部回路試験手段が、パラレルに展開された上記テスト入力信号を格納しこれらを上記被試験回路の通常動作時に使用するシステムクロック周波数で上記被試験回路に出力する第1のポートと、上記被試験回路から出力される上記テスト出力信号が上記システムクロック周波数で入力される第2のポートとを有する一つ以上のマルチポートRAMを備えることを特徴としている。

【0019】上記の発明によれば、テスト用外部端子からテスト入力信号を時分割し、テスト入力インターフェイス回路等を用いてパラレルのテスト入力信号に展開し、これらを第1のポートからマルチポートRAMに順に格納する。一連のテスト入力信号の格納を終えると、マルチポートRAMの第1のポートから順にICの通常動作周波数で被テストブロックにテスト入力信号を出力し、同時に、ICの通常動作周波数で出力されてくる被

テストブロックからのテスト出力信号をマルチポートRAMの第2のポートから既に使用したテスト入力信号が格納されていたアドレスへ順に書き込む。一連のテスト出力信号の格納を終えると、マルチポートRAMからテスト出力インターフェイス回路等を用いてテスト出力信号を時分割してテスト用外部端子へ出力する。

【0020】

【発明の実施の形態】

【実施の形態1】本発明の実施の一形態について図1ないし図6に基づいて説明すれば、以下の通りである。

【0021】図1に示すように、本実施の形態のICの主要部は内部回路試験手段としてのテスト回路1と、演算処理回路及び被試験回路としての被テストブロック3とから構成される。さらにテスト回路1は、テスト入力インターフェイス回路10a、テスト出力インターフェイス回路10b、第1のRAMとしてのRAM20a、第2のRAMとしてのRAM20b、信号保持用レジスタ30a、30b、信号バス選択用セクタ40a、40b、40c、40d、及び制御回路50から構成される。また、上記RAM20a、20bはICの通常動作の演算処理に使用するものをテスト用に流用したものであり、相互に独立してアクセスが可能となっている。

【0022】上記被テストブロック3をテストする方式では、テスト時に制御回路50によりテストパターン入力モード、テスト実行モード、テスト出力モードの3つのテストモードを順に切替えて使用する。ここでは制御回路50は図示しない2つの入力端子を備え、これらの入力端子に各モードに該当する2bitのコードを入力することによりモード切替えが行われるようになっており、例えば、通常動作モードでは“00”、テストパターン入力モードでは“01”、テスト実行モードでは“11”、テスト出力モードでは“10”のコードが入力される。上記コードが入力されると制御回路50はIC内部の各回路にモード制御信号を出力してモードを設定する。本実施の形態におけるモード切替えのフローを図6に示す。

【0023】まず、ICは制御回路50からのモード制御信号によりテストパターン入力モードに入る。図2はテストパターン入力モードに使用する部分の構成と処理の例を表す。

【0024】このモードでは、被テストブロック3の入力端子数よりも少ない数の外部入力端子から時分割してテスト入力インターフェイス回路10aにテスト入力信号が入力され、これをテスト入力インターフェイス回路10aの内部のセクタ11aとレジスタ12aとを用いて分割前のパラレルのテスト入力信号に展開する。

【0025】展開されたテスト入力信号は信号バス選択用セクタ40aを通過してRAM20aへ供給され、信号バス選択用セクタ40aはRAM20aのアドレスをインクリメントして次々にテスト入力信号をRAM2

0aに格納していく。全てのテスト入力信号をRAM20aに格納したら、制御回路50からのモード制御信号によりテスト実行モードに入る。図3はテスト実行モードに使用する部分の構成と処理の例を表す。また、図4にテスト実行モード時のタイミング例を示す。テスト実行モードでは、RAM20aに格納されているテスト入力信号は通常動作周波数で次々と読み出され、被テストブロック3に供給されてその出力信号はRAM20bに次々と格納される。

【0026】図4に示すように、RAM20aに格納されている任意タイミングのステップnのテスト入力信号はRAM20aのアドレスA<sub>n</sub>よりLOWアクティブのRAM20a読み出しイネーブル信号(OEバー)によってとられるタイミングで通常動作周波数で読み出され、RAM20aの出力I<sub>n</sub>として発生される。RAM20aの出力であるテスト入力信号I<sub>n</sub>はシステムクロックの立下がりのタイミングで信号保持用レジスタ30aに取り込まれ、信号保持用レジスタ30aの出力として信号バス選択用セクタ40bを通過して被テストブロック3へ供給される。被テストブロック3からのテスト出力信号O<sub>n</sub>は次のシステムクロックの立下がりのタイミングで信号保持用レジスタ30bに取り込まれた後信号バス選択用セクタ40cを通過してRAM20bに供給される。テスト出力信号O<sub>n</sub>はRAM20bのアドレスA<sub>n</sub>にLOWアクティブのRAM20b書き込みイネーブル信号(WEバー)によってとられるタイミングで格納される。ステップn+1、ステップn+2、...と同様にして次々とテストパターンの供給と出力パターンの格納を行い、全てのテスト出力信号をRAM20bに格納したら、制御回路50からのモード制御信号によりテスト出力モードに入る。

【0027】図5はテスト出力モードに使用する部分の構成と処理の例を表す。

【0028】テスト出力モードでは、RAM20bに格納されているテスト出力信号は順にテスト出力インターフェイス回路10bへ供給されてテスト出力インターフェイス回路10bの内部のレジスタ12bとセクタ11bとを用いてパラレルのデータが時分割され、信号バス選択用セクタ40dを介して少ない外部出力端子に次々と出力される。

【0029】出力されるテスト出力信号は外部のテストにより期待値と比較され、ICの良否が判定される。

【0030】また、テスト時には外部入力端子と外部出力端子を個別に使用したが、同じ端子を入力モード時には入力用に、出力モード時には出力用に切替えて使用することが可能であるため、このように端子を共有使用することによっても外部端子数の削減が可能である。

【0031】本発明では、被テストブロック3をシステムクロックの周波数で動作させて得た出力を検査できるため、少ない外部入出力端子で、通常動作周波数でのテ

ストを実現することができる。

【0032】〔実施の形態2〕本発明の実施の他の形態について図6ないし図11を用いて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した構成要素と同一の機能を有する構成要素については、同一の符号を付し、その説明を省略する。

【0033】図7に示すように、本実施の形態のICの主要部は、内部回路試験手段としてのテスト回路2と、演算処理回路及び被試験回路としての被テストブロック3とから構成される。さらにテスト回路2は、テスト入力インターフェイス回路10a、テスト出力インターフェイス回路10b、マルチポートRAM4、信号保持用レジスタ30a、30b、信号バス選択用セクタ40a、40b、40c、40d、及び制御回路50から構成される。また、上記マルチポートRAM4はICの通常動作の演算処理に使用するものをテスト用に流用したものである。

【0034】上記被テストブロック3をテストする方式では、実施の形態1と同様にテスト時にテストパターン入力モード、テスト実行モード、テスト出力モードの3つのテストモードを順に切替えて使用する。モード切替えのフローを図6に示す。

【0035】まず、ICは制御回路50からのモード制御信号によりテストパターン入力モードに入る。図8はテストパターン入力モードに使用する部分の構成と処理の例を表す。

【0036】このモードでは、被テストブロック3の入力端子数よりも少ない外部入力端子からテスト入力信号を時分割してテスト入力インターフェイス回路10aに入力し、テスト入力インターフェイス回路10aの内部のセクタ11aとレジスタ12aとを用いて分割前のパラレルのテスト入力信号に展開する。展開されたテスト入力信号は、信号バス選択用セクタ40aを通過してマルチポートRAM4の第1のポートとしてのAポート4aへ供給される。信号バス選択用セクタ40aは、マルチポートRAM4のAポート4aのアドレスをインクリメントして次々にテスト入力信号をマルチポートRAM4にAポート4aを用いて格納していく。全てのテスト入力信号をマルチポートRAM4に格納したら、制御回路50からのモード制御信号によりテスト実行モードに入る。

【0037】図9はテスト実行モードに使用する部分の構成と処理の例を表す。また、図10にテスト実行モード時のタイミング例を示す。

【0038】テスト実行モードでは、マルチポートRAM4に格納されているテスト入力信号はAポート4aから通常動作周波数で次々と読み出され、被テストブロック3へ供給され、その出力信号はマルチポートRAM4の第2のポートとしてのBポート4bから使用済みのパターンが格納されていたアドレスへ次々と格納される。

【0039】マルチポートRAM4に格納されている任意タイミングのステップnのテスト入力信号はAポート4aのアドレスA<sub>n</sub>よりLOWアクティブのAポート4a読み出しイネーブル信号(OEバー)によってとられるタイミングで通常動作周波数で読み出され、Aポート4aの出力I<sub>o</sub>として発生される。Aポート4aの出力となったテスト入力パターンI<sub>o</sub>はシステムクロックの立下がりのタイミングで信号保持用レジスタ30aに取り込まれ、信号保持用レジスタ30aの出力として信号バス選択用セクタ40bを通過して被テストブロック3へ供給される。

【0040】被テストブロック3からのテスト出力信号O<sub>o</sub>は次のシステムクロックの立下がりのタイミングで信号保持用レジスタ30bに取り込まれた後信号バス選択用セクタ40cを通過してマルチポートRAM4のBポート4bに供給される。テスト出力信号O<sub>o</sub>は、Aポート4aから既に被テストブロック3に対してテスト入力信号の供給を終え、使用し終えたアドレスA<sub>n</sub>にLOWアクティブのBポート4b書き込みイネーブル信号(WEバー)によってとられるタイミングで格納される。ステップn+1、ステップn+2、...と同様にして次々とテスト入力信号の供給とテスト出力信号の格納を行い、全てのテスト出力信号をBポート4bよりマルチポートRAM4に格納したら、制御回路50からのモード制御信号によりテスト出力モードに入る。図11はテスト出力モードに使用する部分の構成と処理の例を表す。

【0041】テスト出力モードでは、マルチポートRAM4に格納されているテスト出力信号はBポート4bを通して順にテスト出力インターフェイス回路10bへ供給され出力インターフェイス回路10bの内部のレジスタ12bとセクタ11bとを用いてパラレルのデータが時分割され、信号バス選択用セクタ40dを介して少ない外部出力端子に次々と出力される。出力されるテスト出力信号は外部のテストにより期待値と比較され、ICの良否が判定される。

【0042】このように、本実施の形態ではテスト入力信号格納用RAMとテスト出力信号格納用RAMを1つにまとめているため、ICチップの面積を実施の形態1の場合よりも低減することができる。

【0043】また、テスト時には外部入力端子と外部出力端子を個別に使用したが、同じ端子を入力モード時には入力用に、出力モード時には出力用に切替えて使用することが可能であるため、このように端子を共有使用することによっても外部端子数の削減が可能である。

【0044】本発明では、被テストブロック3をシステムクロックの周波数で動作させて得た出力を検査できるため、少ない外部入出力端子で、通常動作周波数のテストを実現することができる。

【0045】

【発明の効果】請求項 1 に係る発明の半導体集積回路は、以上のように、予め定められた演算処理を行う演算処理回路を被試験回路として上記演算処理回路をテストする内部回路試験手段が上記演算処理回路と一体形成して構成され、上記内部回路試験手段は、外部から時分割されたテスト入力信号を入力し、上記テスト入力信号をパラレルに展開した後、これらを上記被試験回路に入力し、上記被試験回路から出力されるテスト出力信号を時分割して外部端子へ出力するようにした半導体集積回路において、上記内部回路試験手段が、パラレルに展開された上記テスト入力信号を格納しこれらを上記被試験回路の通常動作時に使用するシステムクロック周波数で上記被試験回路に出力する第 1 の RAM と、上記被試験回路から出力される上記テスト出力信号が上記システムクロック周波数で入力される上記第 1 の RAM と独立してアクセス可能な第 2 の RAM とを備える構成である。

【0046】それゆえ、テスト用外部端子数を大きく増やすことなく通常動作周波数での機能ブロックのテストを可能にし、かつ不良箇所の解析が可能になるという効果を奏する。

【0047】請求項 2 に係る発明の半導体集積回路は、以上のように、予め定められた演算処理を行う演算処理回路を被試験回路として上記演算処理回路をテストする内部回路試験手段が上記演算処理回路と一体形成して構成され、上記内部回路試験手段は、外部から時分割されたテスト入力信号を入力し、上記テスト入力信号をパラレルに展開した後、これらを上記被試験回路に入力し、上記被試験回路から出力されるテスト出力信号を時分割して外部端子へ出力するようにした半導体集積回路において、上記内部回路試験手段が、パラレルに展開された上記テスト入力信号を格納しこれらを上記被試験回路の通常動作時に使用するシステムクロック周波数で上記被試験回路に出力する第 1 のポートと、上記被試験回路から出力される上記テスト出力信号が上記システムクロック周波数で入力される第 2 のポートとを有する一つ以上のマルチポート RAM を備える構成である。

【0048】それゆえ、請求項 1 に係る発明と同様に、テスト用外部端子数を大きく増やすことなく通常動作周波数での機能ブロックのテストを可能にし、かつ不良箇所の解析が可能になるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施の形態における半導体集積回路の内部回路試験手段の構成を示すブロック図である。

【図 2】本発明の一実施の形態におけるテストパターン入力モードの構成と処理の例を示すブロック図である。

【図 3】本発明の一実施の形態におけるテスト実行モードの構成と処理の例を示すブロック図である。

【図 4】上記テスト実行モード時のタイミングチャート図である。

【図 5】本発明の一実施の形態におけるテスト出力モードの構成と処理の例を示すブロック図である。

【図 6】本発明の一実施の形態及び他の実施の形態におけるモード切替えフローの説明図である。

【図 7】本発明の他の実施の形態における半導体集積回路の内部回路試験手段の構成を示すブロック図である。

【図 8】本発明の他の実施の形態におけるテストパターン入力モードの構成と処理の例を示すブロック図である。

【図 9】本発明の他の実施の形態におけるテスト実行モードの構成と処理の例を示すブロック図である。

【図 10】上記テスト実行モード時のタイミングチャート図である。

【図 11】本発明の他の実施の形態におけるテスト出力モードの構成と処理の例を示すブロック図である。

【図 12】従来の IC の内部ブロックのテスト方法を説明するブロック図である。

【図 13】従来の IC の内部ブロックのテストにおいて時分割でテスト入力信号を入力するテスト方法を説明するブロック図である。

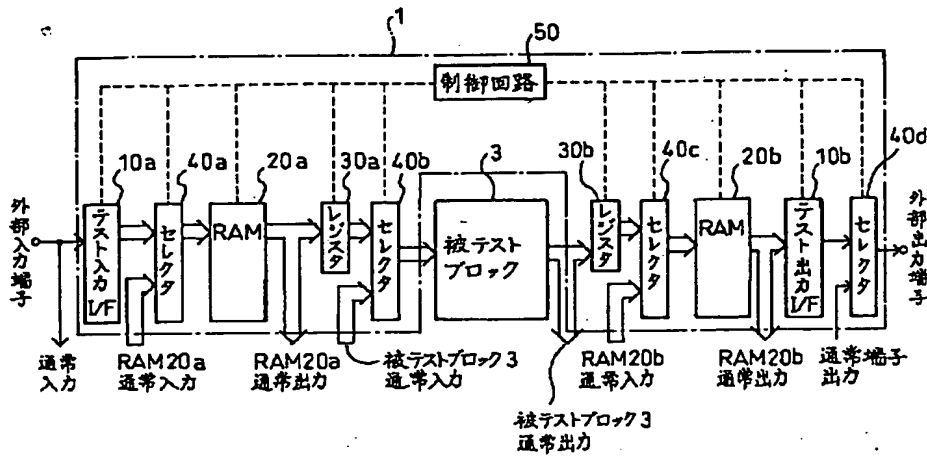
【図 14】従来の IC の内部ブロックのテストにおいて時分割でテスト出力信号を出力するテスト方法を説明するブロック図である。

【符号の説明】

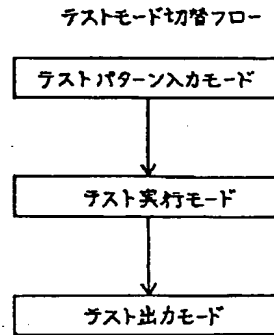
- 1        テスト回路（内部回路試験手段）
- 2        テスト回路（内部回路試験手段）
- 3        被テストブロック（演算処理回路、被試験回路）
- 20a     RAM（第 1 の RAM）
- 20b     RAM（第 2 の RAM）
- 4        マルチポート RAM
- 4a      A ポート（第 1 のポート）
- 4b      B ポート（第 2 のポート）



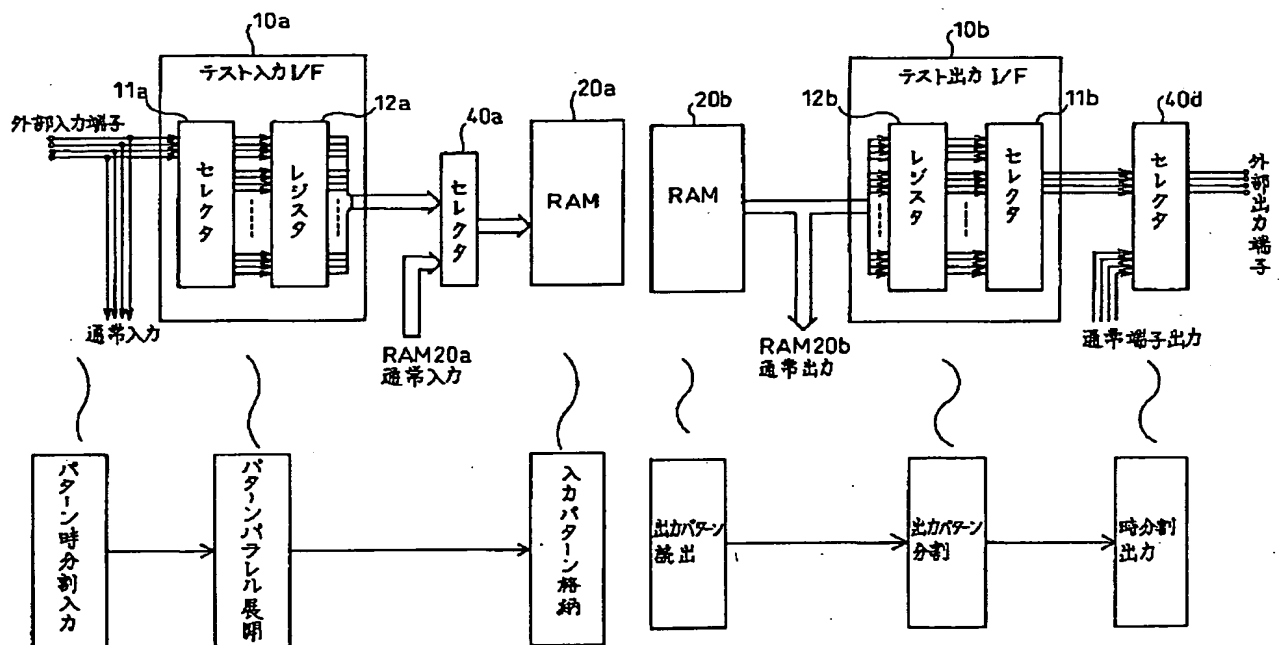
【図1】



【図6】

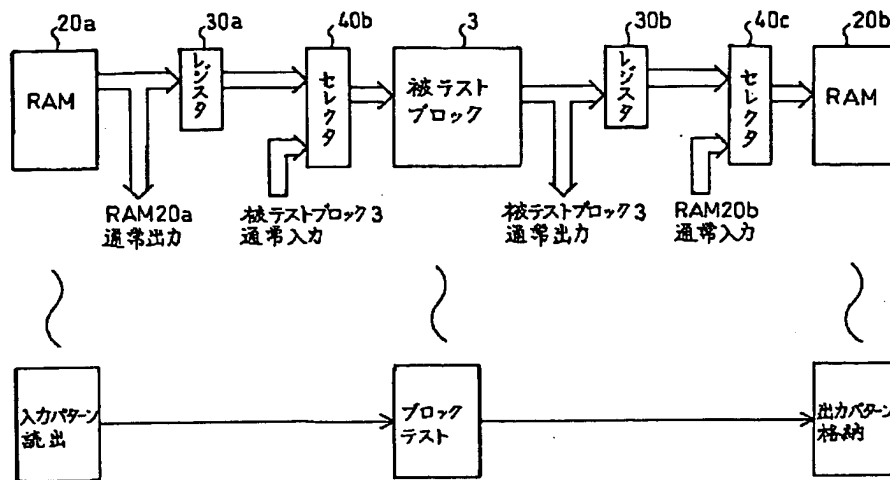


【図2】

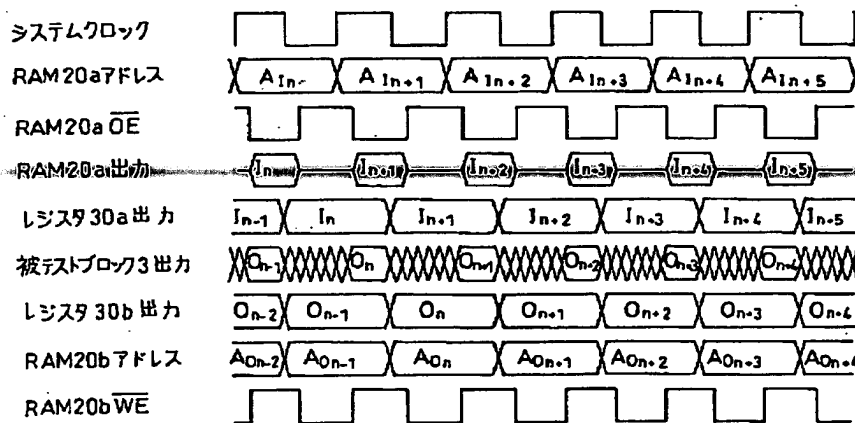


【図5】

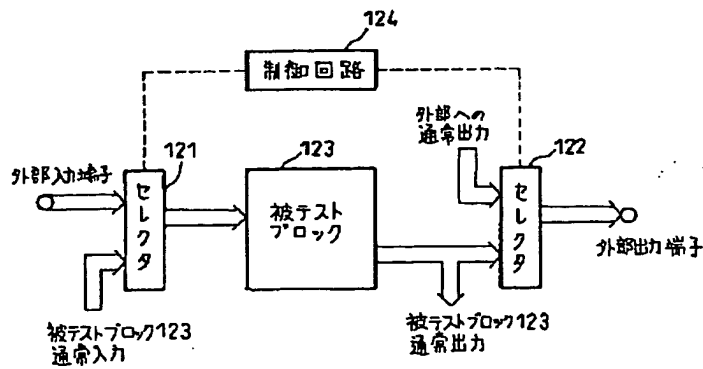
【図3】



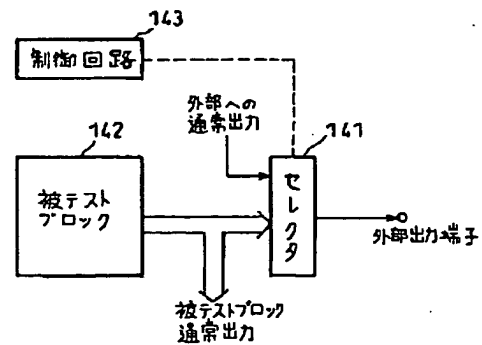
【図4】



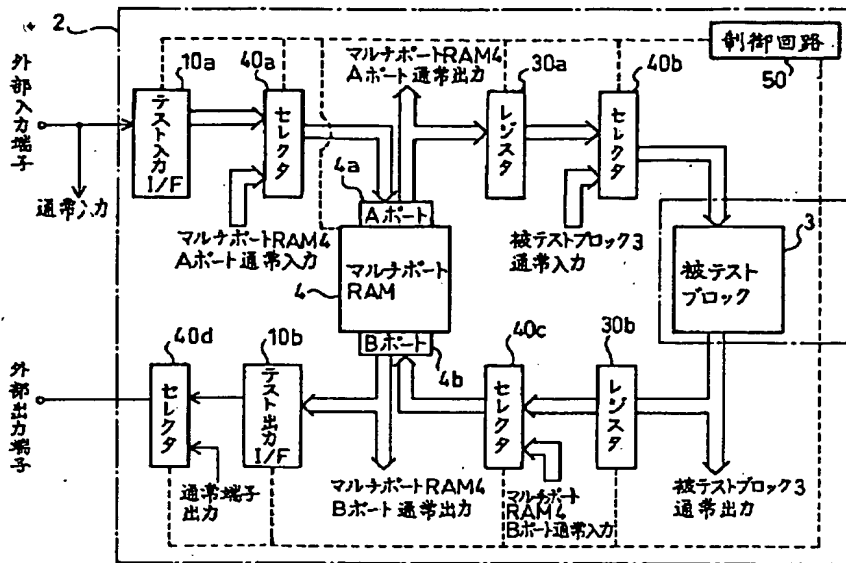
【図12】



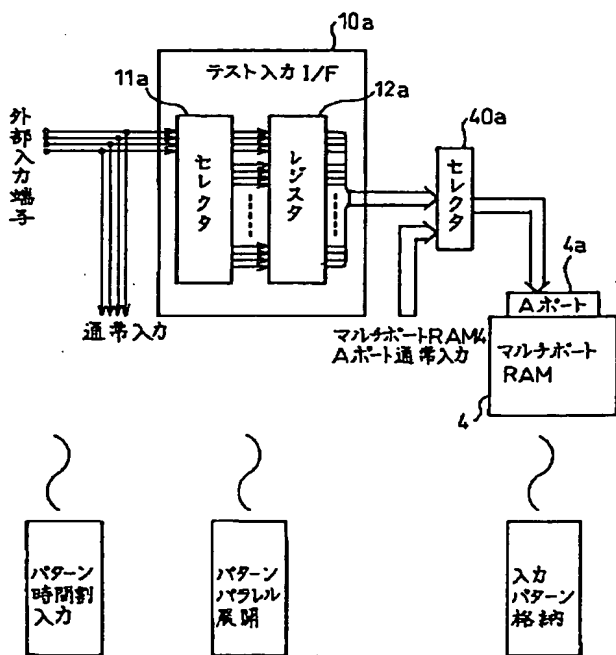
【図14】



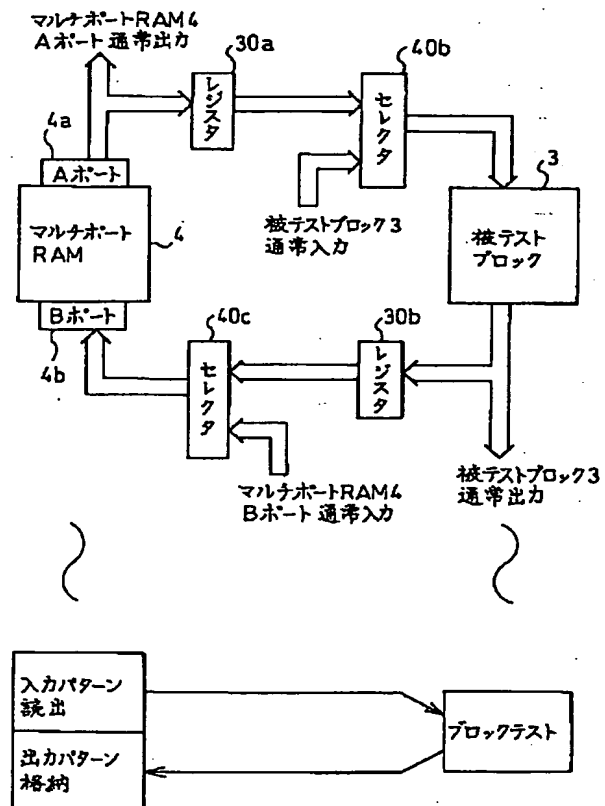
【図7】



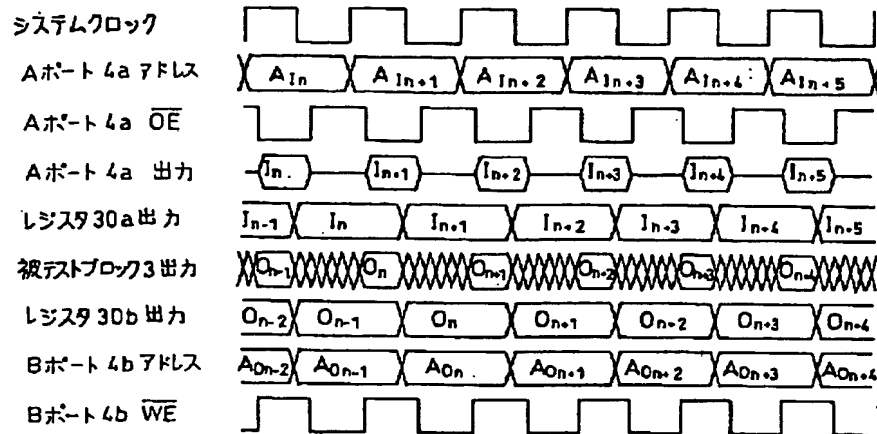
【図8】



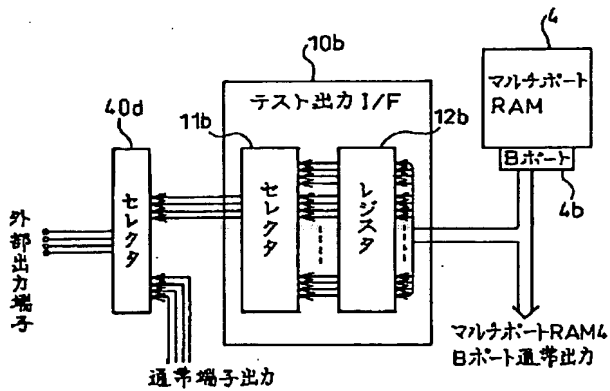
【図9】



【図10】



【図11】



【図13】

